# 반도체 FAB 공정에서의 효율적 흐름제어를 위한 시뮬레이션

한영신† · 전동훈††

**요 약**

설비 집약적이며 복잡한 생산 시스템중의 하나인 반도체 FAB 공정은 제품의 흐름시간과 대기시간, 공정중 재고를 줄이는 것이 흐름제어의 가장 중요한 목표이다.

이에 본 연구에서는 소품종 다량 생산 시스템에서 발생하는 비경제성을 줄이고 생산성을 향상시키기 위하여 현재 반도체 양산 회사에서 주로 채택하고 있는 In-Line Layout을 분석하고 새로운 제안 방식인 그룹 테크놀로지를 이용한 Job Shop 형태의 Stand Alone Layout과 함께 각각의 모델로 구축하고 시뮬레이션 함으로써 일별 생산 계획상의 회수 변화에 따른 각 Layout의 특성을 비교, 분석하였다. 이 때 사용한 시뮬레이션 툴은 모델 구축 및 시뮬레이션이 용이하고 범용적인 (이산형 제조 시스템용) ProSys를 사용하였다.

연구 결과로는 일별 생산 계획 상의 회수 초기에는 In-Line Layout이 Stand Alone Layout 보다 대체로 생산량 측면에서 우세하지만 일별 생산 계획상의 회수가 증가된 14회부터는 Stand Alone Layout이 더 우세한 것으로 나타났다.

# Simulation of Efficient Flow Control for FAB of Semiconductor Manufacturing

Youngshin Han† and Donghoon Jeon††

**ABSTRACT**

The ultimate goal of flow control in the semiconductor fabrication process, one of the most equipment-intensive and complex manufacturing process, is to reduce lead time and work in process.

In this paper, we propose stand alone layout in the form of job shop using group technology to improve the productivity and eliminate the inefficiency in FMS (flexible manufacture system). The performance of stand alone layout and in-line layout are analyzed and compared while varying number of device variable changes. The analysis of in-line layout is obtained by examining its adoption in the memory products of semiconductor factory. The comparison is performed through simulation using ProSys; a window 95 based discrete system simulation software, as a tool for comparing performance of two proposed layouts.

The comparison demonstrates that when the number of device variable change is small, in-line layout is more efficient in terms of production quantity. However, as the number of device variable change is more than 14 times, stand alone layout prevails over in-line layout.

## 1. 서 론

현재 반도체의 세계 시장 규모는 1999년에 1500억 달러이었던 것이 2000년에는 300억 달러 정도 증가한 1800억 달러로 예상하고 있다[HREF1]. 이러한 천문학적 규모의 매출은 앞으로 모든 제품의 집적 회로화 (IC) 가 진전됨에 따라 기하급수적으로 증가할 것으로 예상되고 있다[1]. 이와 같은 시장수요의 증가에 따라 미국, 일본, 유럽과 국내 반도체 업체간의 경쟁 또한 점점 치열해지고 있으며 연구개발에 막대

† 정회원, 성균관대학교 전기전자 및 컴퓨터 공학과
†† 성균관대학교 전기전자 및 컴퓨터 공학과

한 투자를 가하고 있다.

이러한 반도체 산업은 칩 제조 과정이 제조 설비(장비)에 크게 의존하는 장치 산업으로 특징지을 수 있다. 반도체 설비는 1947년 미국의 벨연구소에서 트랜지스터가 발명된 이후 산업화 과정을 거치면서 고도의 첨단설비로 발전하고 있으며 고가의 가격으로 투자부담도 높다[2]. 또한 프로세스조건에 크게 의존하며 전기, 전자, 기계 등 여러 기술의 종합적 산물로서 점점 복잡화, 다양화되고 있어 반도체 제조기술의 빠른 발전속도에 따라 그만큼 진부화가 빠르고 유효수명이 짧다. 따라서 복잡화, 자동화, 고기능화 되고 있는 반도체 설비는 최초 제작이나 구입시도 중요하지만, 사용 중에도 최적 상태로의 유지, 보수가 생산성 향상에 주요한 요인이 된다.

한편, 반도체 제조 공정은 웨이퍼 가공(FAB : Fabrication), 웨이퍼 검사, 조립 및 포장과 최종검사의 4단계로 이루어지는데 이 중 FAB 공정이 가장 복잡하고 자본집약적인 공정이다. 이런 FAB 공정은 웨이퍼가 시스템에 대기중인 시간이 증가할수록 제품에 대한 수율이 떨어지는 특수성을 지니고 있고 생산공정 또한 복잡하므로 수리적 모델링으로는 한계성이 있다[3,4]. 즉, 생산과정에서 요소들간의 충돌, 시스템 의존도와 변칙적 사건 (Breakdown) 등의 불규칙한 세계는 시뮬레이션 기법을 사용해야만 구성요소의 변화에 따른 수행도 분석을 쉽게 할 수 있다.

이러한 시뮬레이션 기법을 활용한 기존연구를 살펴보면 Dayhoff, Atherton[5]은 FAB 공정의 시뮬레이션 모델을 처음으로 소개하고 시스템 수행도 분석에 여러 가지 시뮬레이션 모델을 이용하였다. Dayhoff 와 Atherton [6,7]은 웨이퍼 가공의 특성을 설명하고, 여러 가지 작업 할당 규칙의 효과를 실험하는데 신호 분석 (Signature Analysis) 기법을 사용하였으며 FAB 공정으로 들어가는 웨이퍼의 수율에 대해서 시뮬레이션 모델로 얻은 TAT (Turn Around Time), 공정중 재고(WIP : Work In Process) 그리고 생산율(Through Rate)을 근거로 시스템의 수행도를 실험하였다. 그리고 Miller[8]는 공정중 재고와 생산량(Throughput)의 관계를 시뮬레이션을 통해 분석하여, 적용시스템의 생산량을 일정수준으로 유지하면서 TAT를 줄이는 적정재고수준을 제안하였다. 또 Wein[3]은 FAB 공정 중에서 사진 공정에 초점을 맞추어 시스템을 단순화시켜서 모델링하였으며, 이 모델을 기초로 시뮬레이션하여 시스템의 수행도를 분석하였다. 한편, Neve 등[9]은 FAB 공정에 시뮬레이션을 적용하여 공정중 재고 40% 감소와 생산율 10% 증가시킨 수행도 향상 사례를 발표하였다.

이와 같이 시뮬레이션을 이용한 연구 결과는 지금까지 많은 현장에서 적용되어 그에 대한 성과가 보고되고 있다. 과거 간단한 대기행렬이나 재고 모델의 경우에는 수치 해석적인 모델이나 방법론의 적용을 통하여 대상 시스템의 예측과 최적해의 도출이 어느 정도 가능했으나, 반도체 FAB 공정과 같이 생산 공정이 복잡한 곳은 시스템 전체의 형태를 분석하고 최적의 운영 조건을 파악하기 위해서 시뮬레이션 기법을 적용하게 되었다. 생산 설비의 신설 또는 증설시 제안된 설비배치의 효율성은 간단히 계산해내기 어려운 경우가 대부분이며, 실제로 시공 후 시스템의 불균형은 재구성이 어렵거나 막대한 재투자를 요구하게된다. 따라서, 그래픽 시뮬레이션을 통하여 제안된 프로세스를 실험함으로써 물류의 흐름, 공정의 균형 및 생산 관리의 여러 측면을 사전에 검토함으로써 시운전 기간을 최소화 할 수 있다.

따라서 본 연구는 여러 개의 단위 공정을 한 종류의 설비로 묶어놓은 형태인 In-Line 시스템과 각 공정에 대하여 각각의 설비로 운영되는 형태인 Stand Alone 시스템을 칩 종류에 따른 각 설비의 변수 설정 변경 회수인 일별 생산 계획상의 회수를 변화하면서 생산 공정의 종류 변화에 따른 웨이퍼 생산량을 비교하여 최적화 방안을 제시하고자한다.

이에 따른 본 논문의 구성은 2장에서 반도체 FAB 공정 및 설비 배치에 관하여 설명하고 3장에서는 현 제조공정 모델과 새로운 모델을 구축하고 4장에서 모델에 따른 시뮬레이션을 수행하고 실험을 분석하였다. 마지막 5장에서는 연구결과와 향후 연구 방향을 제시하였다.

## 2. 반도체 FAB 공정에서의 설비 배치

서론에서 언급하였듯이 반도체 제조 공정(Semiconductor Fabrication Process)은 그림 1과 같이 크게 웨이퍼 가공(Wafer Fabrication), 웨이퍼 조사(Wafer Probe), 조립(Assembly), 검사(Test)의 단계로 이루어진다. 이중 FAB 공정은 반도체 제조 공정 중 매우 복잡하면서도 품질을 결정하는 가장 중요한
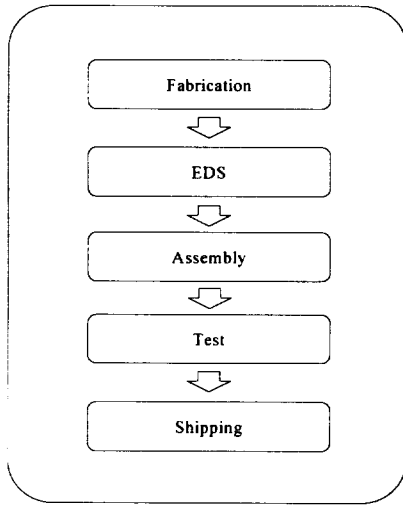
그림 1. 반도체 제조 공정

공정으로 고가의 장비들이 배치되어 있으며, 웨이퍼들은 공정 순서에 따라 반복적으로 이러한 장비를 통과하게 된다.

한편, 본 연구에서는 여러 가지 FAB 공정 중에서 사진 공정을 대상으로 하였다. 사진 공정이란 반도체에서 회로가 되는 각 부분의 패턴을 설계된 크기와 모양으로 웨이퍼 위에 가패턴을 만드는 과정으로 Coater, Stepper, Developer의 세 가지 설비가 사용된다.

## 2.1 현 제조 공정의 설비 배치

시스템은 어떤 논리적인 목적을 달성하기 위하여 서로 협력하는 사람들, 기계류 등과 같은 개체(Entity) 들의 모임으로 해당 목적을 이루기 위해 함께 행동하는 요소들의 상호작용들을 모아놓은 것이다. 그러므로 시스템 연구는 주로 모델링을 통하여 시스템의 분석, 이해, 설계, 운영, 제어, 예측 등을 목적으로 이루어진다.

현 실험 대상 공정인 사진 공정 모델에 사용된 시스템 구성 요소들을 설명하면 표 1과 같다[2].

### 2.1.1 In-Line Layout

In-Line 시스템의 구성은 직선으로 배열된 워크스테이션으로 이루어진다. 작업물의 흐름은 작업물의 제조명, 공장 설비 배치의 한계 등의 이유로 90도쯤 방향 변경이 이루어지는 경우는 있으나 대부분이 직선 구조를 이룬다. 예를 들어서 작업물 흐름의 일반

표 1. 시스템 구성 요소

| 구성요소 | 설명 |
|---|---|
| 웨이퍼 | 얇고 둥근 조각 위에 집적회로를 만들어 넣게 된다. 실리콘 웨이퍼를 사용하고 있으며, 직경크기에 따라 4", 6", 8", 12" 등으로 구분. |
| COATER | 감광액 도포 설비. |
| STEPPER | 자외선을 이용하여 마스크 상의 회로 패턴을 감광액이 도포된 웨이퍼 표면에 전사 해주는 설비. |
| DEVELOPER | 빛에 노출되어 성질이 변한 감광액을 현상액으로 제거해 주는 설비. |
| INDEX | 웨이퍼를 담는 용기로 25장을 담을 수 있는 홈이 있다. |
| Device Change | 웨이퍼를 가공하기 위해서 25장을 1묶음으로 구성하는 것 |
| Lot | 웨이퍼 25장 단위 |
| BUFFER | 임시 저장소 |
| AGV | 무인 자동 운반기 (Automate Guide Vehicles) |

적인 패턴은 작업자가 시작 작업물을 적재하고 완성된 작업물을 적하할수 있는 사각형 모양을 이루게 된다.

In-Line 설비 구성 요소는 그림 2와 같이 COATER, DEVELOPER, STEPPER, 웨이퍼, DEVICE CHANGE, ROBOT, AGV, LOT, BUFFER 로 이루어진다.

그림 3은 각각의 공정을 한 종류의 설비로 묶어놓은 형태로 모두 12개의 작업장으로 구성되어있다. 해당 모델의 구성을 위해 필요한 요소들을 알아보면 설비 가동시 설비의 Loading/Unloading은 각각 한 번씩만 실시되고 생산을 위한 기초 조건으로 1 Lot은
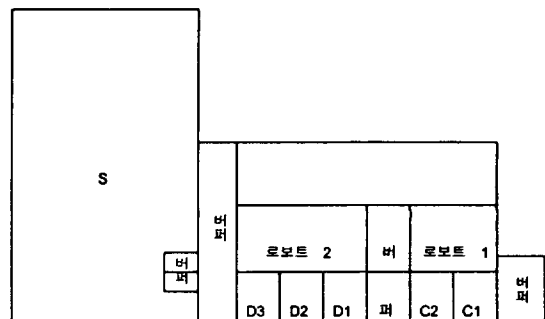
그림 2. In-Line 설비 구성요소
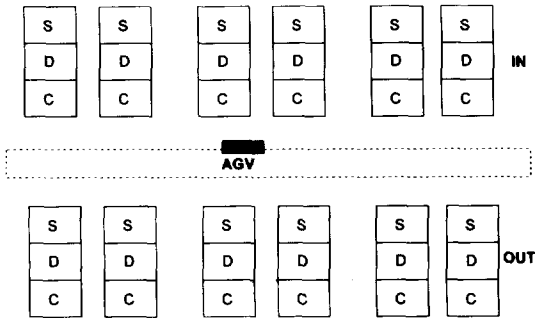
그림 3. In-Line 설비시스템의 배치도

25개의 웨이퍼로 구성되어 있고 Rail은 AGV에 연결되어 있다. 또한 물류 흐름은 Lot 단위로 이동되고 생산되는 칩의 종류는 1개로 가정하며 처리 공정의 수는 5개로 한다. 한편, 설비 생산 최대 능력은 4 Lot까지 인덱스를 통하여 Track In/Out 할 수 있다. 이때 인덱스 상의 Lot이 존재할 때는 새로운 Lot의 투입이 불가능하고 투입 후 Lot의 진행은 웨이퍼 단위로 공정을 진행하며 대기 가능한 Capacity (Capa.)는 26매이다.

또 Buffer 상의 처리 할 수 있는 Capa를 가지고 있을 때에는 가까운 위치에 있는 것부터 순차적으로 처리하며 AGV가 설비의 정 위치에 도착한 후 Loading /Unloading 할 때 소요시간은 Lot당 약 25초이다. 또 C→S→D 공정 내 웨이퍼 처리시간은 각각 4분, 1분 30초, 7분 단위이고 로버트 1과 2의 우선 순위는 D공정 방향으로의 웨이퍼 이동이 우선되고 이 때 로버트 이송은 3~5초 단위이다.

생산을 위한 자동화 조건의 AGV는 고정 Rail AGV Type 이며 AGV 속도는 3초 단위이다. AGV의 반송 방향은 반시계 방향이며 Rail상의 AGV 정위치가 설비 존재 위치와 연결되어 있어서 해당 설비에서 Request (Load/Unload)시 Buffer에서 처리할 수 있는 Capa를 가지고 있는 동안, 가까운 위치에 있는 것부터 순차적으로 처리하게 된다. 또한AGV가 설비의 정위치에 도착한 후 Load/Unloading할 때 소요시간은 Lot 당 25초가 소요되고 설비에 Loading/Unloading 할 수 있는 Lot의 수는 1개, 반송은 AGV Buffer의 Capa만큼 할 수 있다.

## 2.2 그룹 테크놀로지를 이용한 새로운 설비 배치

Ford System이 출현한 이래 생산관리의 초점은 표준화된 제품을 흐름라인 원리에 의해 대량 생산함으로써 생산성을 높이고 비용을 낮추는 것이다. 그러나 표준화된 단일품을 대량 생산 원리에 의해 생산할 수 있는 것은 제품의 성격상 극히 일부분에 국한되며 아직도 대부분의 제품이 주문에 의해 여러 가지 종류가 배치식으로 생산되는 것이 대부분이다. 표준품목 대량 생산의 경우에는 생산성을 높이기 위해 적절한 기계와 공구가 설계되고 이를 표준화 할 수 있으나 소규모의 배치식 주문 생산의 경우에는 여러 가지 상이한 부품이 투입되고 이때마다 생산가동준비(Set-Up) 가 계속 변화함으로 특별한 기계나 공구를 개발, 이용하는데 어려움이 많다. 따라서 한 부품의 제조시간 중에서 실제로 가공과 준비에 소요되는 시간은 5%에 불과하고 나머지 95%의 시간이 비가공시간으로 낭비됨에 따라 다품종 소량 생산에서도 흐름라인의 원리를 도입하여 표준품 대량 생산에서와 같은 기술적, 경제적 이점을 기대함으로써 95%의 비가공시간을 줄일 수 있는 새로운 관리방식이 요구된다.

이에 그룹 테크놀로지는 지난 20여 년 동안 제조시스템(Manufacturing System)의 생산성을 개선하는 중요한 과학적 원리로서 사용되었다. 특히 제조부문에서의 그룹 테크놀로지 응용은 자동화 생산시스템은 물론이고 수작업으로 이루어지는 생산시스템에 이르기까지 광범위하게 실현될 수 있다.

따라서 그룹 테크놀로지는 부품을 생산함에 있어서 생산 대상 부품의 가공 정보에 따라 형상, 치수 및 가공 방법이 유사한 부품들을 그룹화 하여 가공 수량을 증가시킴으로써 공정흐름의 단순화를 유도하여 대량 생산의 형태에서 기대되는 이점을 다품종 소량 생산 형태에서 실현하려는 관리방식의 하나이다.

특히, 셀형-제조(Cellular Manufacturing)는 제조에 대한 그룹 테크놀로지의 응용으로서, 가공을 필요로 하는 부품들을 생산할 수 있는 적절한 기계그룹을 형성하고 소량의 여러 종류의 부품을 흐름 작업 형식으로 가공할 수 있도록 하는데 목적이 있으며 서로 다른 기계들은 한 부품군(Part-Family), 혹은 그 이상의 부품군을 가공하기 위한 하나의 기계셀(Machine-Cell) 로 배치된다. 결국 그룹 테크놀로지는 전통적인 주문생산에서의 생산방식과는 다르게 가공시간과 준비시간을 최소로 하기 위해 부품을 흐름라인 원리의 입각하여 제조할 수 있도록 부품가족(Parts Family)과 기계그룹(Machines Group) 을 형성하는 것이다.

그래서 전통적인 다품종 소량 생산에서 선택하고 있는 기능별 설비(Functional Layout), 그룹 설비 배치(Group Layout)로 구성하는 것이 그룹 테크놀로지의 근본 특징이다.

2.2.1 Stand Alone Layout

Stand Alone 시스템은 현재의 생산라인의 운영방식과는 다른 제조 반복성을 달성하고 유사한 특성을 지닌 제품이나 부품을 하나의 군으로 묶고, 이를 생산하는 기계집단을 독립적으로 운영하는 시스템이다. 셀이라는 분리된 작업장에서 필요한 기초공정을 실행할 수 있도록 기계도구를 잘 조직화하는 것으로 이를 이용한 Job-Shop 형태를 Stand Alone 설비 배치라 한다. 시스템의 구성요소로는 그림 4와 같이 COAT, DEVELOP, STEPPER, DVEL_ROBOT, COAT_ROVELOP, AGV, DEVICE_TEST, CONTROL로 구성되어 있다.

그림 5는 AGV가 4개의 Lot을 싣고 다니면서 한 종류의 웨이퍼 가공이 끝나면 Device Change에 의해 다른 종류의 웨이퍼를 싣고 빈 버퍼에 Loading
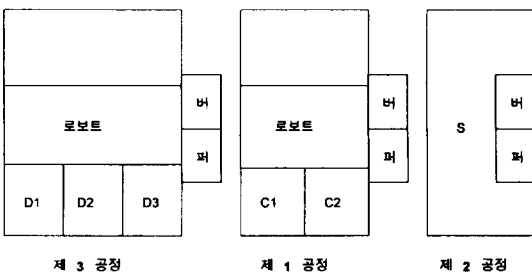
그림 4. Stand Alone 설비 구성 요소
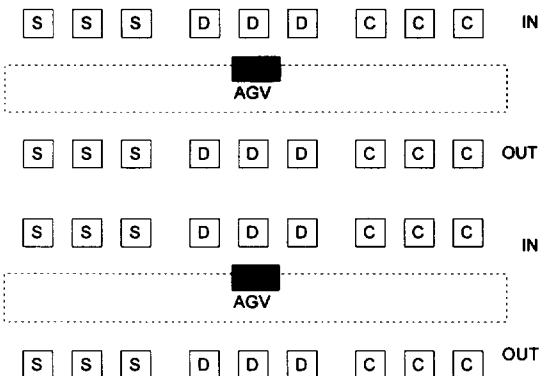
그림 5. Stand Alone 설비 시스템의 배치도

시킨다. 설비의 고장이 발생하면 다른 셀로 이동하여 C→S→D 순으로 작업이 진행되는 장점이 있고 생산조건은 In-Line 방식과 같다. C→S→D 공정은 각각 12개씩이며 각 공정의 대하여 각각의 설비로 운영되는 형태로 설비가동시 각 설비 당 Loading/Unloading을 각각 실시한다. Stand Alone의 경우 전체 시스템은 C→S→D 각각 6대씩이 1개조로 된 2개조의 시스템으로 볼 수 있으며 편의상 1개조에 대하여 시뮬레이션하고 그 결과 값을 2배하여 In -Line의 결과와 비교하기로 한다.

## 3. 시뮬레이션 모델 구축

본 연구에서는 애니메이션 (Animation) 기법을 이용할 수 있는 ProSys[10]를 통하여 모형을 설계하고 시뮬레이션 실험을 하였다.

### 3.1 현 제조공정 모델

현재 제조공정은 각각의 공정을 한 종류의 설비로 묶어놓은 형태이며 모두 12개의 작업장으로 구성되어 있다. 1 Lot은 25개의 웨이퍼로 구성되어 있고 Rail 방식의 AGV에 연결되어있다. 공정순서는 C→S→D 순으로 이루어진다.
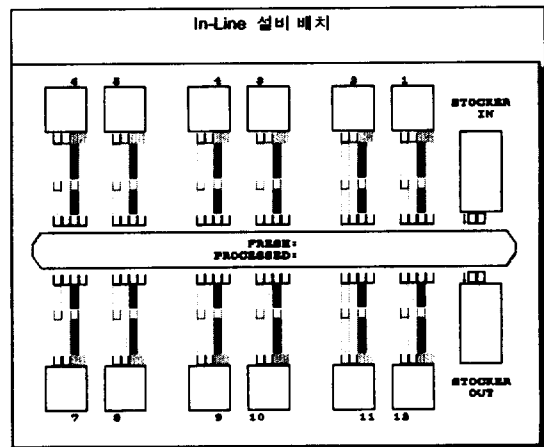
그림 6. In-Line 설비 배치도

### 3.2 그룹 테크놀로지를 이용한 새로운 모델

그룹 테크놀로지 방법은 각 공정에 대하여 각각의 설비로 운영되는 형태로 공정순서는 C→S→D 순으

로 AGV는 4개의 Lot을 싣고 다니면서 한 종류의 웨이퍼 가공이 끝나면 빈 Buffer에 다른 종류의 웨이퍼를 Loading 시키며 C→S→D 공정이 각각 12개씩으로 이루어진다.
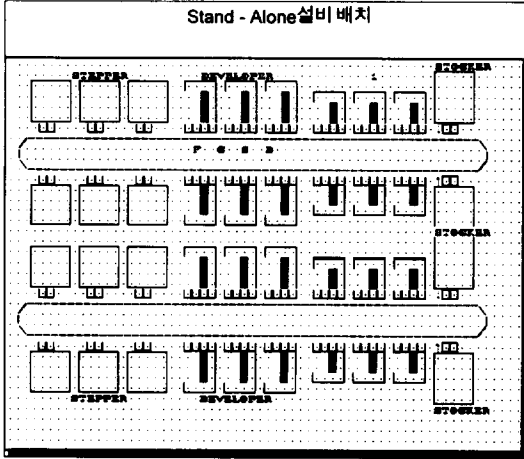
그림 7. Stand-Alone 설비 배치도

## 4. 실험 및 결과 분석

### 4.1 실험계획

실험은 초기에 정의한 시뮬레이션의 목적을 달성하기 위하여 실험내용을 구상하고 이를 체계적인 계획 하에 실시한다. 실험 내용은 설비, 제어 및 운영상의 제약 범위 내에서 고려되어야 하며, 이의 조합은 궁극적으로 실험의 총 경우 수가 된다.

이 연구에서는 Device Change, 즉 일별 생산계획상의 회수가 변화할 때(6, 8, 10, 12, 14회) In-Line 시스템과 Stand Alone 시스템의 생산량 변화를 실험하였다. 시뮬레이션 시간을 24시간과 48시간으로 실험을 하는데 24시간 시뮬레이션 실험 시 전제조건은 100% 가동율, 설비 고장과 Device Change가 없을 경우로 두 시스템의 총 투입 Lot, 총완성 Lot, AGV Idle Time, Coat, Stepper, Developer 별 웨이퍼 처리량을 비교해 본다.

한편, 시뮬레이션 시간을 48시간으로 실험할 때에는 AGV 속도를 3초, AGV Load/Unload 시간은 25초, Lot Indexing 시간은 25초, Robot 이동시간은 3~4초, Coat Time Per Wafer 4분, Stepper Time Per Wafer 1분 30초, Developer Time Per Wafer 7분 단위로 했을 때의 생산량을 비교 분석해 본다.

따라서 각 요소들을 조합한 실험의 경우 수는 총 25회(5×5)가 되며 각각의 경우에 대하여 Random Number Seed를 변경하여 평균을 구하고 대표 값으로 사용하여야 하지만 본 시뮬레이션은 모든 시스템 요소가 기계적, 제어적, 자동화시스템이므로 n = 1로 사용하였다.

### 4.2 결과 분석

전제조건이 100% 가동율, 설비 고장과 일별 생산계획상의 변화가 없을 때 24시간 시뮬레이션 결과가 In-Line 시스템은 총 투입 Lot이 283개, 총 완성 Lot은 235개였고 Stand Alone 시스템은 총 투입 Lot이 276개, 총 완성 Lot은 178개로 나타났다. (단, Stand Alone의 경우에는 1개 라인에 대한 결과를 2배한 수치이다.)

이와 같이 In-Line 시스템인 경우 효율((총 투입 Lot수/총 완성 Lot수)*100) 이 83%, Stand Alone 인 경우는 64%의 효율을 보여 In-Line의 경우가 효율이 19% 높게 나타났다.

한편, 전제조건이 하루에 설비 고장이 한 번 일어나고 AGV 속도는 3초, AGV Load/Unload 시간 25초, 로봇이동시간 3~4초, Coat Time Per Wafer 4분, Stepper Time Per Wafer 1분 30초, Developer Time Per Wafer 7분 단위로 하고 일별 생산계획상의 회수가 변화할 때(6, 8, 10, 12, 14, 16회) 48시간 시뮬레이션한 결과는 표 2와 같다.

표 2. In-Line vs Stand Alone의 디바이스 변화별 투입량

| | In-Line (Lot) | Stand Alone (Lot) |
|---|---|---|
| 6회 | 490 | 420 |
| 8회 | 484 | 412 |
| 10회 | 471 | 416 |
| 12회 | 465 | 408 |
| 14회 | 417 | 430 |
| 16회 | 402 | 436 |

표 2에서는 일별 생산계획상의 회수가 6회 일어났을 때 In-Line 시스템이 490개의 Lot이 투입된 반면 Stand Alone 시스템은 420개의 Lot이 투입되었다. 그러므로 In-Line 시스템이 70개의 Lot이 더 FAB 공정 안으로 투입되었다. 하지만 14회의 일별 생산

계획상의 변화가 일어나면 Stand Alone 시스템이 13개의 Lot이 공정 안으로 더 투입되었다.

표 3에서는 6회의 일별 생산계획상의 변화가 일어나면 In-Line 시스템의 경우 442개 Lot이 산출된 반면 Stand Alone 시스템은 344개의 Lot이 산출되었다. 이와 같이 처음에는 In-Line 시스템이 절대적으로 산출량이 많았으나 산출되는 Lot의 변화폭이 Stand Alone 시스템이 더 작아 일별 생산계획상의 변화가 증가하면 Stand Alone 시스템이 영향을 적게 받는 것으로 나타났다.

표 3. In-Line vs Stand Alone의 디바이스 변화별 생산량

| | In-Line (Lot) | Stand Alone (Lot) |
|---|---|---|
| 6회 | 442 | 344 |
| 8회 | 436 | 350 |
| 10회 | 424 | 344 |
| 12회 | 417 | 350 |
| 14회 | 406 | 352 |
| 16회 | 398 | 355 |

그림 8은 일별 생산 계획상의 변화가 증가함에 따라 In-Line 시스템인 경우에는 투입 Lot 수의 변화곡선이 급경사로 떨어지고 있는 반면 Stand Alone 시스템은 완만하게 증가하는 것으로 보아 효율저하가 훨씬 더 적은 것으로 나타났다.

즉 일별 생산 계획상의 변화가 6회일 때는 In-Line 시스템에 투입되는 Lot의 수가 490이고 Stand Alone 시스템은 420으로 In-Line 시스템의 효율이 높았지만 일별 생산계획상의 변화가 14회 이상 일어나면 Stand Alone 시스템이 430으로 In-Line 시스템 보다 투입 Lot의 수가 더 많아지므로 효율이 높게 나타났다.
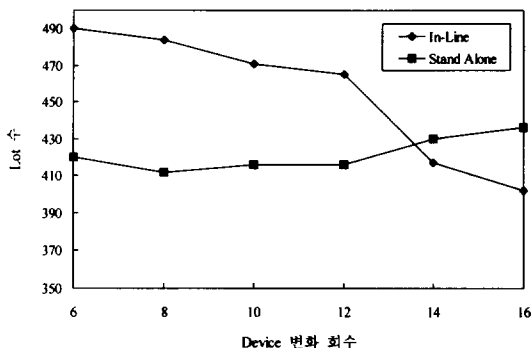
그림 8. 디바이스 변화 회수와 투입 Lot 관계

## 5. 결 론

최근 기업들이 생산 시스템의 중요성을 인식하고 이에 많은 관심을 보이고 있다. 이러한 생산 시스템에 대한 관심은 제품의 다양성을 추구하는 욕구와 다양한 제품을 생산하면서도 높은 생산성을 유지하려는 기업의 욕구가 맞물려 고조되고 있다. 이에 본 연구에서는 목적에 맞게 설계되고 운영되는 생산 시스템의 설계부터 마케팅까지의 모든 단계에서 요구되는 생산비용과 시간을 절감해주고, 제품의 질을 높여주며, 장기적인 관점에서 반도체 제조 공정 시스템의 효율적 설계 및 운영 방안을 제시하기 위해 시뮬레이션을 수행하였다.

전제조건이 100%의 가동율, 설비 고장이 없고 회수의 변화 없이 24시간 시뮬레이션을 하면 In-Line 시스템이 생산량이 높았고 AGV Idle Time은 두 시스템이 차이가 거의 없었다. 그러나 하루에 설비 고장이 한 번 일어나고 일별 생산 계획상의 회수가 증가함에 따라 본 연구에서 채택한 범위 내에서는 In-Line 시스템이 Stand Alone 시스템에 비해 대체적으로 생산량 측면에서 우세한 것으로 나타났으나 일별 생산 계획상의 회수가 증가함에 따라 예상되는 시스템의 효율저하는 Stand Alone 시스템의 경우 훨씬 더 적은 것으로 나타나 설비 고장, 유지 보수의 빈도가 높거나 일정 수준을 넘어서면 Stand Alone 시스템 구성이 유리한 것으로 분석되었다.

현재 반도체 양산 라인에서는 특별한 기준 없이 두 시스템이 같이 사용되고 있는데, 본 실험의 결과를 라인의 특성에 반영하면 설비의 효율뿐만 아니라 생산량 등에서도 많은 이점이 있으리라고 생각한다.

지금까지는 Lot size가 웨이퍼 25개로 D램, S램의 양산 (소품종 다량 생산) 체제였었다. 하지만 앞으로의 추세는 다품종 소량 생산으로 변하고 있고 부가가치 측면에서도 D램보다는 시스템 IC (ASIC : Application Specific IC) 로 바뀌면서 Lot의 크기가 작아지고 Mini 환경에서는 Lot 개념 없이 Single 쪽으로 변하고 있는 추세이므로 향후에는 빠른 Cycle Time 으로 다양한 Recipe를 동시에 처리하면서도 시스템의 생산성을 향상시키기 위한 시스템 Integration 차원에서 Tool의 활용과 연구가 필요할 것이다.

## 참 고 문 헌


[1] 김치락, "한국 반도체산업의 현황과 전망," 반도체산업, 4권, 1호, pp. 25-57 1995.

[2] "반도체란 무엇인가?" 삼성전자(주) 반도체.

[3] Wein, L. M., "On the relationship Between Yield and Cycle time in Semiconductor Wafer Fabrication," *IEEE Transactions on Semiconductor Manu- facturing*, Vol.5, pp. 156-158, 1992.

[4] Prasad, K., "A Generic Computer Simulation Model to characterize photo- lithography Manufacturing Area in an IC FAB Facility," *IEEE Transactions on Components, Hybrids and Manufacturing Technology*, Vol.14, No.3, pp. 483-489, 1991.

[5] Dayhoff, J. E., and Atherfon, R.W., "Signature Analysis of Dispatch Schemes in Wafer Fabrication," *IEEE Transactions on Components, Hyveisa and Manufacturing Technology*, Vol. 9, No.4, pp. 518-525, 1986.

[6] Dayhoff, J. E., and Atherton, R.W., "Signature Analysis. Simulation of Inventory, Cycle Time and Throughput Tradeoffs in Wafer Fabrication of Inventory, Cycle Time and Throughput Tradeoffs in Wafer Fabrication," *IEEE Transactions on Components, Hybrids and Manufacturing Technology*, Vol.9, No.4, pp. 498-507, 1986.

[7] Dayhoff, J. E., and Atherton, R.W., "Simulation of VLSI Manufacturing Areas," VLSI Design, pp. 84-92, 1984.

[8] Miller, D. J. "Simulation of Semi- conductor Manufacturing line," *Communi- cation of the ACM*, Vol.33, No.10, pp. 99-108, 1990.

[9] Neve, J. M., Ray, F. D. and Sitarik, J. P., "Improving the Performance of and Integrated Circuit Manufacturing Line", *AT & T Technical Journal*, Vol.66, Issue 5, pp. 39-48, 1987.

[10] 정영교, ProSys 매뉴얼, SimTech.

[11] Miller, D. J. "Simulation of Semi- conductor Manufacturing line", *Communi- cation of the ACM*, Vol.33, No.10, pp. 99-108, 1990.

[12] Tompson, M. B., "Simulation Based Scheduling" Technical Report #MS90-348, Safety of Manufacturing Engineers, Pre- sented at the International Manufacturing Technology Conference (Chicago, Illinois, Step.7), 1990.

[13] *The Science and Engineering of Microelectronic Fabrication*, Stephen A. Campbell, 1996.

[14] Introduction to VLSI Process Engineering-Edited by the Society of Chemical Engineers of Japan Chapman & Hall 1995.

[15] *Wafer Fabrication: Factory Per- formance and Analysis*, Linda F. Atherton, Robert W. Athertion 1995.

[16] 백두권, 이영해, 시스템 시뮬레이션, 경문사.

[17] 반도체 웨이퍼 제조공정의 수행도 평가를 위한 시뮬레이터 개발, 한양대학교 석사논문, 1995.

[18] 김진호, 반도체와 돼지머리, 양서원, 1992.

[19] 한국시뮬레이션학회, 생산-물류시스템 시뮬레이션, 1993.

[20] 신용호, "메모리칩 제조 포토 공정의 뱃칭과 투입제어", 한국 과학 기술원 석사 학위 논문, 1995.

[HREF1] http://www.electronicsbiz.com/

**한 영 신**

1994년 2월 상명여자대학교 경제학과 졸업(경제학사)
1997년 8월 이화여자대학교 전산정보학과 졸업(공학석사)
2000년 9월~성균관대학교 전기전자 및 컴퓨터 공학과 박사과정 재학 중
1994년~1997년 (주) SimTech 연구원
1997년~1998년 (주) 풀바람시스템 선임 연구원
1998년 3월~현재 경인여자대학 강사
2000년 3월~현재 인천기능대학 강사
관심분야 : 멀티미디어 시스템, 시뮬레이션 기법, 데이터베이스

**전 동 훈**

1997년 2월 성균관대학교 제어계측공학과 졸업(공학사)
1999년 2월 성균관대학교 전기전자 및 컴퓨터 공학과졸업(공학석사)
1999년 9월~현재 성균관대학교 전기전자 및 컴퓨터 공학과 박사과정 재학 중
2000년 3월~현재 경인여자대학 강사
관심분야 : 물류 시뮬레이션, 공장 자동화, 전문가 시스템